

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68198

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 S 3/096

H 0 1 S 3/096

H 0 1 L 21/8238

H 0 1 L 27/15

27/092

27/08

3 2 1 G

27/15

H 0 4 B 9/00

X

H 0 4 B 10/02

Y

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平9-216576

(22) 出願日

平成9年(1997) 8月11日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 巴 篤志

北海道札幌市中央区北一条西2丁目1番地
富士通北海道デジタル・テクノロジー株
式会社内

(72) 発明者 箱守 克彦

北海道札幌市中央区北一条西2丁目1番地
富士通北海道デジタル・テクノロジー株
式会社内

(74) 代理人 弁理士 井桁 貞一

(54) 【発明の名称】 光駆動回路及び光出力回路

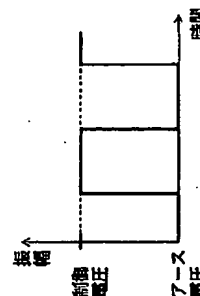
(57) 【要約】

【課題】 光伝送装置における電気-光変換部の主要機能を司る光駆動回路及び光出力回路に関し、簡易な構成で、低い電源電圧で動作が可能で、しかも安定性に優れた光駆動回路及び光出力回路を提供する。

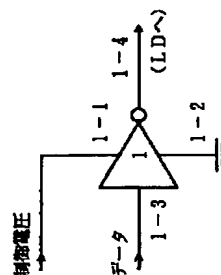
【解決手段】 CMOS型のバッファ・ゲートの入力端子にデータを供給し、該バッファ・ゲートの電源端子に光出力を制御する電圧を供給し、該バッファ・ゲートの出力端子から発光素子に供給する電圧を取り出すように構成する。

本発明の原理

(ロ) 光駆動回路の出力波形



(イ) 光駆動回路の原理的な構成



ラ・トランジスタが高速で動作でき、且つ、伝送波形に歪みが生じないためには、バイポーラ・トランジスタのベースとコレクタ間の電圧はデータの振幅に対して余裕を持っていなければならない。又、バイポーラ・トランジスタが導通状態の時にはベースとエミッタ間には約0.7ボルトの電圧が確保されなければならない。

【0014】従って、バイポーラ・トランジスタを使用した回路では電源電圧を3ボルト程度に低下させることは極めて困難である。又、図5の構成ではバッファ部を構成する素子、リミタを構成する素子、該リミタの振幅を制御する回路を構成する素子、レーザ・ダイオードを駆動する回路を構成する素子が必要で、回路構成も複雑になっている。そして、回路構成の複雑さは低消費電力化とは逆行する。

【0015】本発明は、上記問題点に鑑み、光伝送装置における電気-光変換部の主要機能を司る光駆動回路及び光出力回路に関し、簡易な構成で、低い電源電圧で動作が可能な光駆動回路及び光出力回路を提供することを目的とする。

【0016】そして、回路の簡易化と安定性とが両立できない事例も多くあることに鑑み、安定性に優れた光駆動回路及び光出力回路を提供することも併せて目的とする。

【0017】

【課題を解決するための手段】図1は、本発明の原理を説明する図で、図1(イ)は光駆動回路の原理的な構成を示し、図1(ロ)は光駆動回路の出力波形を示す。

【0018】図1(イ)において、1はCMOS型のバッファ・ゲート、1-1は該バッファ・ゲート1の電源端子、1-2は該バッファ・ゲート1のアース端子、1-3は該バッファ・ゲート1の入力端子、1-4は該バッファ・ゲート1の出力端子である。

【0019】該バッファ・ゲート1のアース端子1-2にはアース電圧が供給され、該バッファ・ゲート1の入力端子1-3にはデータが供給され、該バッファ・ゲートの電源端子1-1には図示を省略している光出力制御回路から制御電圧が供給される。そして、該バッファ・ゲート1の出力端子1-4は図示されていないレーザ・ダイオードに接続される(図1(イ)では“LDへ”と略記して表示されている。)

【0020】一般的に、CMOS型のバッファ・ゲートの入力端子に論理レベル“0”、論理レベル“1”を繰り返すデータを供給すると、その出力信号のハイ・レベルは電源電圧に等しくなり、その出力信号のロー・レベルはアース電圧に等しくなる。

【0021】従って、該バッファ・ゲート1の出力波形は、図1(ロ)に示す如く、ハイ・レベルは制御電圧に等しくなり、ロー・レベルはアース電圧に等しくなる。該制御電圧は、光出力を一定に保つ電圧であるから、CMOS型のバッファ・ゲートによってレーザ・ダイオ-

ードを駆動すれば、レーザ・ダイオードからは一定な光出力を得ることができる。

【0022】

【発明の実施の形態】図2は、本発明の第一の実施の形態である。図2において、1はCMOS型のバッファ・ゲート、1-1は該バッファ・ゲート1の電源端子、1-2は該バッファ・ゲート1のアース端子、1-3は該バッファ・ゲート1の入力端子、1-4は該バッファ・ゲート1の出力端子である。2は抵抗、3はレーザ・ダイオードで、CMOS型のバッファ・ゲート1以降レーザ・ダイオード3までの構成要素によって光駆動回路が構成される。

【0023】又、4は該レーザ・ダイオード3のバック光を受けて電流に変換するフォト・ダイオード、5は該フォト・ダイオードの電流レベルを決定する抵抗、6はオン・オフする該フォト・ダイオードの電流を直流電圧に変換するコンデンサ、7は基準電圧源、8は該コンデンサ6の端子電圧と該基準電圧源の電圧差に応じて制御電圧を生成する制御電圧生成回路で、フォト・ダイオード4以降制御電圧生成回路8までの構成要素によって光出力制御回路が構成される。

【0024】そして、光駆動回路及び光出力制御回路によって光出力回路が構成される。図2の構成の特徴は、データはバッファ・ゲート1の入力端子1-3に供給され、該バッファ・ゲート1の電源端子1-1に光出力制御回路が出力する制御電圧が供給され、該バッファ・ゲート1のアース端子1-4にアース電圧が供給され、該バッファ・ゲート1の出力端子1-4は抵抗2を介してレーザ・ダイオード3に接続される構成である。

【0025】図2の構成において、レーザ・ダイオード3の出力が低下するとフォト・ダイオード4が受けるレーザ・ダイオード3のバック光も弱くなり、フォト・ダイオード4が光から電気に変換した電流も小さくなるので、コンデンサ6の端子電圧が低下する。

【0026】これによって、制御電圧生成回路8の出力電圧である制御電圧が上昇する。この上昇した制御電圧はバッファ・ゲート1の電源端子1-1に供給されているので、該バッファ・ゲート1の出力振幅が増加する。

【0027】該バッファ・ゲート1の出力信号は抵抗2を介してレーザ・ダイオード3に供給されるので、該レーザ・ダイオード3に供給される駆動電流の振幅が増加して、該レーザ・ダイオード3の出力が増加する。

【0028】一方、該レーザ・ダイオード3の出力が増加すると、光出力制御回路の各部分の電圧が上記と逆の方向に制御されて、該レーザ・ダイオード3の出力を低下させる。

【0029】このようにして、光出力制御回路によって光駆動回路の駆動電流を制御して、光出力を一定に保つ。CMOS型のバッファ・ゲートは波形整形能力があり、その出力信号の振幅は電源端子に供給される電圧だ

けによって決まるので、バッファ・ゲートだけでバッファ回路の動作を実現できる。

【0030】又、バッファ・ゲート自体の設計をレーザ・ダイオードの駆動電流に適合できるようにする、即ち、該バッファ・ゲートの出力電流レベルを該レーザ・ダイオードの駆動電流レベルに合致させることは容易なことである。

【0031】従って、レーザ・ダイオードを駆動するトランジスタ回路を別個に設ける必要はなく、該バッファ・ゲートの出力信号を抵抗を介してレーザ・ダイオードに直接供給することが可能である。

【0032】従って、光駆動回路の構成を簡略化することが可能である。又、光出力制御回路が出力する制御電圧は、負帰還によって生成する電圧であり、レーザ・ダイオードの出力の変動を抑圧して一定に保たれる安定な電圧であるから、図2の構成は安定な光出力回路である。

【0033】しかも、レーザ・ダイオードやフォト・ダイオードなどを除いた光出力回路の部分はCMOSプロセスで作ることになるので、電源電圧を3ボルト程度に低下させることは容易である。

【0034】図3は、本発明の第二の実施の形態である。図3において、1aはCMOS型のバッファ・ゲート、1a-1は該バッファ・ゲート1aの電源端子、1a-2は該バッファ・ゲート1aのアース端子、1a-3は該バッファ・ゲート1aの入力端子、1a-4は該バッファ・ゲート1aの出力端子である。同様に、1bはCMOS型のバッファ・ゲート、1b-1は該バッファ・ゲート1bの電源端子、1b-2は該バッファ・ゲート1bのアース端子、1b-3は該バッファ・ゲート1bの入力端子、1b-4は該バッファ・ゲート1bの出力端子、1cはCMOS型のバッファ・ゲート、1c-1は該バッファ・ゲート1cの電源端子、1c-2は該バッファ・ゲート1cのアース端子、1c-3は該バッファ・ゲート1cの入力端子、1c-4は該バッファ・ゲート1cの出力端子である。2a、2b、2cは保護抵抗、3はレーザ・ダイオードで、CMOS型のバッファ・ゲート1a以降レーザ・ダイオード3までの構成要素によって光駆動回路が構成される。

【0035】又、4は該レーザ・ダイオード3のバック光を受けて電流に変換するフォト・ダイオード、5は該フォト・ダイオードの電流レベルを決定する抵抗、6はオン・オフする該フォト・ダイオードの電流を直流電圧に変換するコンデンサ、7は基準電圧源、8は該コンデンサ6の端子電圧と該基準電圧源の電圧差に応じて制御電圧を生成する制御電圧生成回路である。そして、フォト・ダイオード4以降制御電圧生成回路8までの構成要素によって光出力制御回路が構成される。

【0036】図2の構成の特徴は、データはバッファ・ゲート1a乃至バッファ・ゲート1cの入力端子1a-

3乃至1c-3に供給され、該バッファ・ゲート1a乃至バッファ・ゲート1cの電源端子1a-1乃至1c-1に光出力制御回路が出力する制御電圧が供給され、該バッファ・ゲート1a乃至バッファ・ゲート1cのアース端子1a-4乃至1c-4にアース電圧が供給され、該バッファ・ゲート1a乃至バッファ・ゲート1cの出力端子1a-4乃至1c-4は抵抗2を介してレーザ・ダイオード3に接続される構成である。

【0037】図3の構成において、レーザ・ダイオード3の出力が低下するとフォト・ダイオード4が受けるレーザ・ダイオード3のバック光も弱くなり、フォト・ダイオード4が光から電気に変換した電流も小さくなるので、コンデンサ6の端子電圧が低下する。

【0038】これによって、制御電圧生成回路8の出力電圧である制御電圧が上昇する。この上昇した制御電圧はバッファ・ゲート1a乃至バッファ・ゲート1cの電源端子1a-1乃至1c-1に供給されているので、該バッファ・ゲート1a乃至バッファ・ゲート1cの出力振幅が増加する。

【0039】該バッファ・ゲート1a乃至バッファ・ゲート1cの出力信号は抵抗2を介してレーザ・ダイオード3に供給されるので、該レーザ・ダイオード3に供給される駆動電流の振幅が増加して、該レーザ・ダイオード3の出力が増加する。

【0040】一方、該レーザ・ダイオード3の出力が増加すると、光出力制御回路の各部分の電圧が上記と逆の方向に制御されて、該レーザ・ダイオード3の出力を低下させる。

【0041】このようにして、光出力制御回路によって光駆動回路の駆動電流を制御して、光出力を一定に保つ。CMOS型のバッファ・ゲートは波形整形能力があり、その出力信号の振幅は電源端子に供給される電圧だけによって決まるので、バッファ・ゲートだけでバッファ回路の動作を実現できる。

【0042】又、バッファ・ゲート自体の設計をレーザ・ダイオードの駆動電流に適合できるようにすること、即ち、該バッファ・ゲートの出力電流レベルを該レーザ・ダイオードの駆動電流レベルに合致させることは容易なことである。従って、レーザ・ダイオードを駆動するトランジスタ回路を別個に設ける必要はなく、バッファ・ゲートの出力信号を抵抗を介してレーザ・ダイオードに直接供給することが可能である。

【0043】従って、光駆動回路の構成を簡略化することが可能である。又、光出力制御回路が出力する制御電圧は、負帰還によって生成する電圧であり、レーザ・ダイオードの出力に変動を抑圧して一定に保たれる安定な電圧であるから、図2の構成は安定な光出力回路である。

【0044】しかも、レーザ・ダイオードやフォト・ダイオードなどを除いた光出力回路の部分はCMOSプロ

セスで作ることになるので、電源電圧を3ボルト程度に低下させることは容易である。

【0045】その上、図3の構成はバッファ・ゲートを複数用いてレーザ・ダイオード3の駆動電流を増加させているので、低電圧でも高い出力を出すことができる光出力回路を構成することが可能になる。

【0046】図4は、本発明の第三の実施の形態である。図4において、1はCMOS型のバッファ・ゲート、1-1は該バッファ・ゲート1の電源端子、1-2は該バッファ・ゲート1のアース端子、1-3は該バッファ・ゲート1の入力端子、1-4は該バッファ・ゲート1の出力端子である。2は抵抗、3はレーザ・ダイオードで、CMOS型のバッファ・ゲート1以降レーザ・ダイオード3までの構成要素によって光駆動回路が構成される。

【0047】又、17は定電圧回路である。図4の構成の特徴は、バッファ・ゲート1の電源端子1-1に定電圧回路17の出力を供給する点にある。

【0048】定電圧回路は、文字通り一定の電圧を供給する回路であり、温度変動や素子値の変動を吸収して一定の電圧を供給できるので、レーザ・ダイオード3の出力は一定に保たれる。

【0049】しかも、負帰還型の光出力制御回路を必要としないので、光出力回路の構成が更に簡易になる。又、負帰還型の光出力制御回路を必要としないので、バック光を出力することに適していない光ダイオードを光源とする光出力回路にも適用できる利点が生ずる。

【0050】

【発明の効果】以上詳述した如く、本発明により、構成が簡易で、定電圧で動作でき、更に安定な光駆動回路と光出力回路を実現することが可能である。

【図面の簡単な説明】

【図1】 本発明の原理。

【図2】 本発明の第一の実施の形態。

【図3】 本発明の第二の実施の形態。

【図4】 本発明の第三の実施の形態。

【図5】 従来の光出力回路。

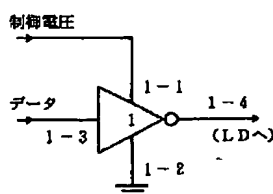
【符号の説明】

- 1、1a、1b、1c バッファ・ゲート
- 1-1、1a-1、1b-1、1c-1 バッファ・ゲートの電源端子
- 1-2、1a-2、1b-2、1c-2 バッファ・ゲートのアース端子
- 1-3、1a-3、1b-3、1c-3 バッファ・ゲートの入力端子
- 1-4、1a-4、1b-4、1c-4 バッファ・ゲートの出力端子
- 2 抵抗
- 3 レーザ・ダイオード
- 4 フォト・ダイオード
- 5 抵抗
- 6 コンデンサ
- 7 基準電圧源
- 8 制御電圧生成回路
- 9 バッファ部
- 10a、10b ダイオード
- 11 バイポーラ・トランジスタ
- 12 抵抗
- 13 保護抵抗
- 14 バイポーラ・トランジスタ
- 15 抵抗
- 16 保護抵抗
- 17 定電圧回路

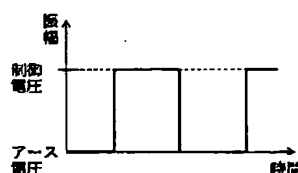
【図1】

本発明の原理

(イ) 光駆動回路の原理的な構成

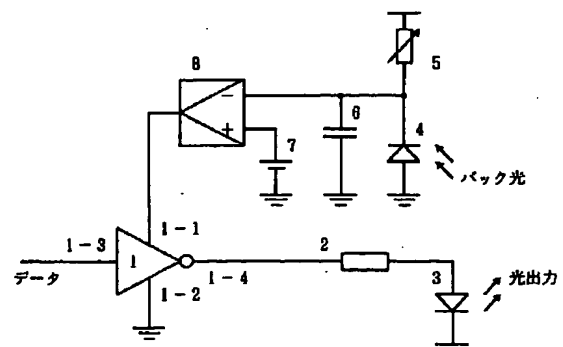


(ロ) 光駆動回路の出力波形

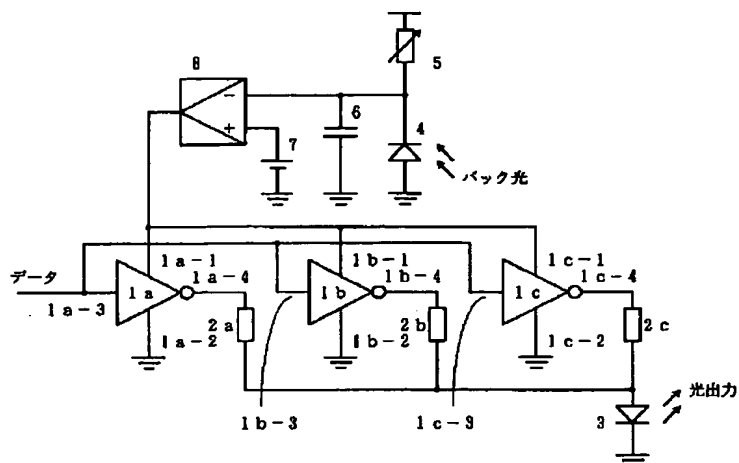


【図2】

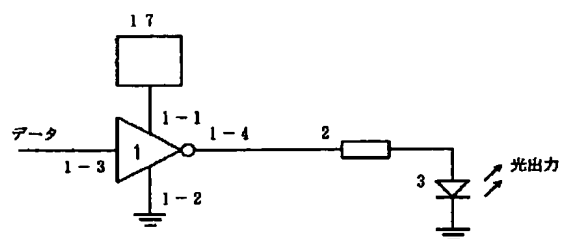
本発明の第一の実施の形態



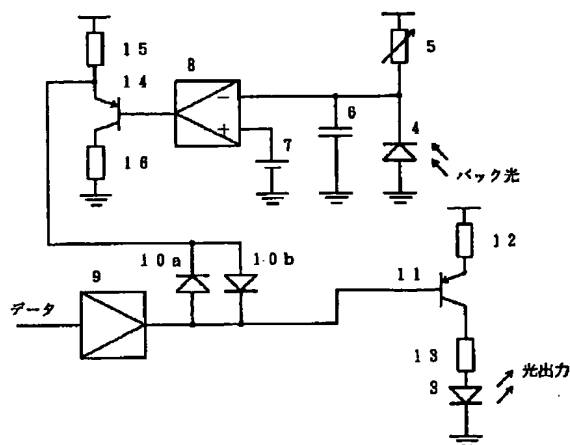
本発明の第二の実施の形態



本発明の第三の実施の形態



従来の光出力回路



(51)Int.Cl.⁶
H O 4 B 10/28
10/26
10/14
10/04
10/06

識別記号

FI